

10GSPS / 5GSPS 12 位射频采样模数转换器 (ADC)

1 特性

- 分辨率: 12-bit
- 采样率:
 - CAE2200: 10GspS 或 5GspS(双通道模式)
 - CAE2400: 5GspS 或 2.5GspS(双通道模式)
- 通道数: 1 或 2
- 输入电压范围[Vpp,diff]: 1.4V
- 模拟输入带宽: 6 GHz
- 积分非线性/微分非线性 INL/DNL(MAX):
 - CAE2200: $\pm 4/\pm 0.99$ LSB
 - CAE2400: $\pm 3.5/\pm 0.99$ LSB
- 信噪比 SNR@1.51GHz: 51 dB
- 二阶/三阶谐波失真 HD2/HD3: -75/-70 dB
- 无杂散动态范围 SFDR: 73 dB
- 有效位 ENOB [Bit]:
 - CAE2200: 8.15 (typical)
 - CAE2400: 8.5 (typical)
- 16 通道 JESD204B 输出, 最大通道速率 12.5Gbps, 支持 8b/10b 编码, 支持子类 1 确定性延迟
- 可选数字下变频器(DDC): 可选滤波
 - 实数输出支持 1x,2x,3x,4x,6x, 8x,12x, 16x,24x,32x,48x,64x 抽取比例
 - 复数输出支持 2x,4x,6x,8x,16x,24x, 32x, 48x,64x,96x,128x 抽取比例
 每个 DDC 均具有四个独立的 48 位 NCO, 支持快速调频。
- 模拟输入通道过压保护
- 片内温度二极管
- 低功耗:
 - CAE2200: 2.9W
 - CAE2400: 2.1W
- 工作温度: -40 to 105°C
- 封装: FCBGA196 (12mm x 12mm)

2 应用

- 示波器和宽带数字转换器
- 通信测试仪 (802.11ad, 5G)
- 卫星通信
- 射频采样软件定义无线电 (SDR)
- 微波回程连线
- 光谱测量

3 概述

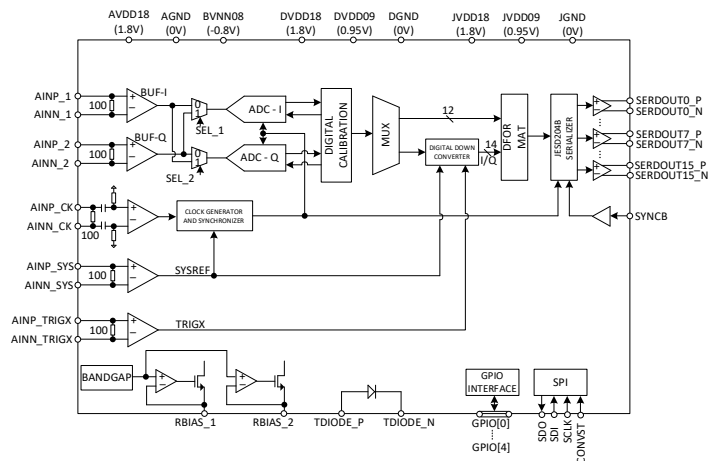
CAE2200 是一款 12 位, 高速射频采样模数转换器 (ADC), 单通道模式下的最大采样率 10GSPS, 双通道下的最大采样率为 5GSPS。

CAE2400 是一款 12 位, 高速射频采样模数转换器 (ADC), 单通道模式下的最大采样率 5GSPS, 双通道下的最大采样率为 2.5GSPS。

单通道或者双通道工作模式可在线编程配置, 可用于开发灵活的硬件, 以满足高通道数或宽瞬时信号带宽应用的需求。

CAE2200/CAE2400 采用高速 JESD204B 输出接口, 工作温度支持-40 to 105°C, 使用 FCBGA196 (12mm x 12mm) 封装。

4 功能框图



目录

1 特性.....	1	8 详细说明.....	10
2 应用.....	1	8.1 概述.....	10
3 概述.....	1	8.2 功能框图.....	10
4 功能框图.....	1	9 封装尺寸.....	11
5 修改历史.....	2	10 订购指南.....	12
6 引脚配置和功能描述.....	3		
7 技术规格.....	7		
7.1 电气特性.....	7		
7.2 时间要求.....	8		
7.3 典型特性.....	9		

5 修改历史

2024/5/31 Rev PrB

6 引脚配置和功能描述 (Pin Configuration and Functions)

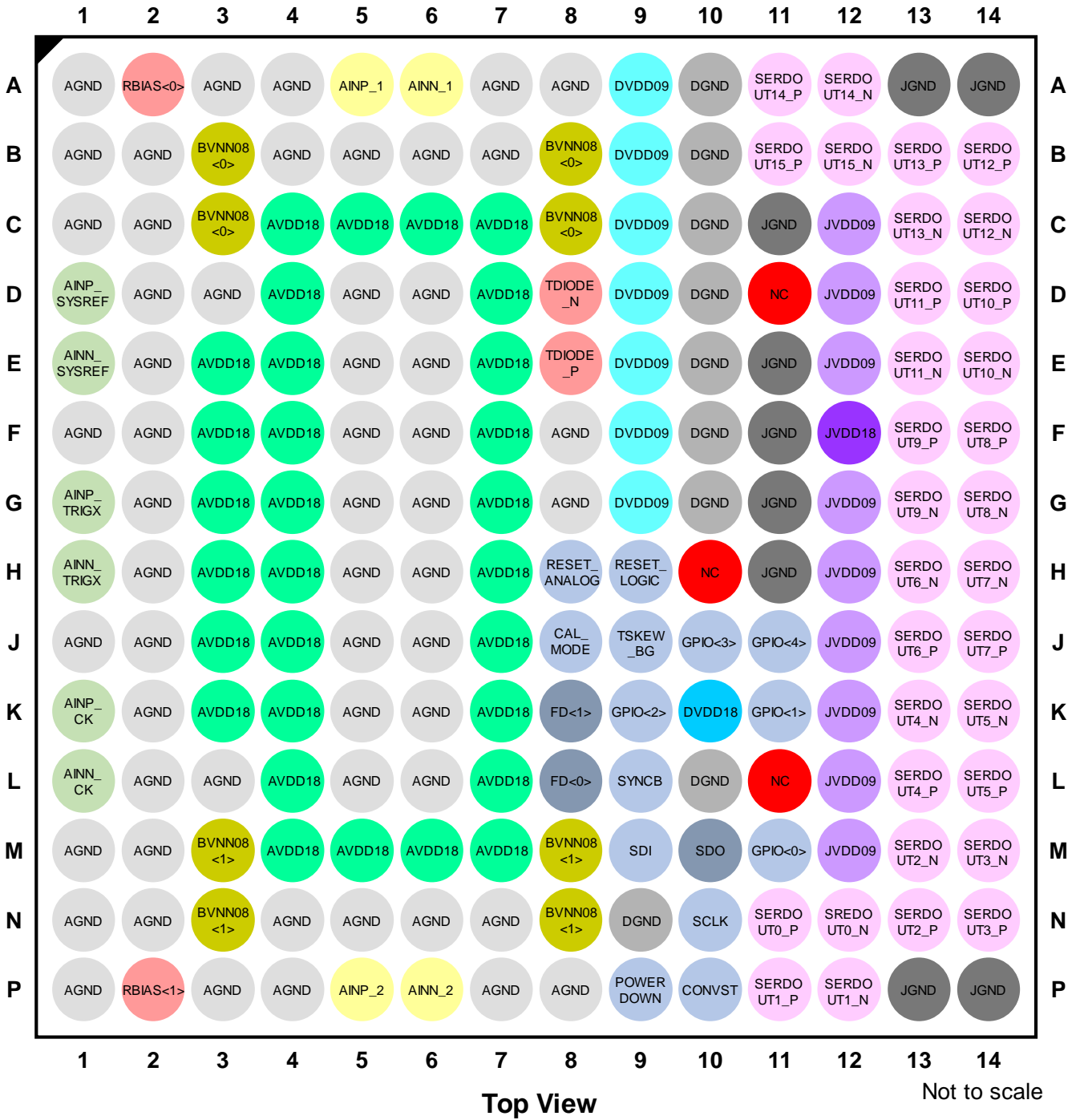


图 6-1. 196-Ball Flip Chip BGA

表 6-1. 引脚功能 (Table 6-1. Pin Functions)

管脚序号	管脚名	类型	功能描述
A2, P2	RBIAS<0>, RBIAS<1>	输入	每个管脚接 12k 电阻, 再接到地 注意 12k 电阻必须是高精度低温票电阻(建议采用 0.1% 精度, 温漂小于 25ppm/°C)
A5	AINP_1	输入	双通道模式: 模拟差分输入的正输入 (I-channel) 单通道模式: 模拟差分输入的正输入 (I 或者 Q channel)。 它内接 50 欧姆电阻, 支持 DC 或者 AC 耦合。请注意, 该管脚必须满足输入共模电压范围及摆幅的要求。
A6	AINN_1	输入	双通道模式: 模拟差分输入的负输入 (I-channel) 单通道模式: 模拟差分输入的负输入 (I 或者 Q channel) 它内接 50 欧姆电阻, 支持 DC 或者 AC 耦合。请注意, 该管脚必须满足输入共模电压范围及摆幅的要求。
P5	AINP_2	输入	双通道模式: 模拟差分输入的正输入 (Q-channel) 单通道模式: 不连接.单通道模式时候是通过 AINP_1/AINN_1 输入 它内接 50 欧姆电阻, 支持 DC 或者 AC 耦合。请注意, 该管脚必须满足输入共模电压范围及摆幅的要求。
P6	AINN_2	输入	双通道模式: 模拟差分输入的负输入 (Q-channel) 单通道模式: 不连接.单通道模式时候是通过 AINP_1/AINN_1 输入 它内接 50 欧姆电阻, 支持 DC 或者 AC 耦合。请注意, 该管脚必须满足输入共模电压范围及摆幅的要求。
D1	AINP_SYSREF	输入	SYSREF 差分输入信号 (正端), 用于同步多 ADC 芯片数据时序给 FGPA. 它内接 50 欧姆电阻, 支持 DC 或者 AC 耦合。请注意, 该管脚必须满足输入共模电压范围及摆幅的要求。
E1	AINN_SYSREF	输入	SYSREF 差分输入信号 (负端), 用于同步多 ADC 芯片数据时序给 FGPA. 它内接 50 欧姆电阻, 支持 DC 或者 AC 耦合。请注意, 该管脚必须满足输入共模电压范围及摆幅的要求。
G1	AINP_TRIGX	输入	触发器(Trigger) X 差分信号(正端), 用于 DDC 模块的频率跳变。它内接 50 欧姆电阻, 支持 DC 或者 AC 耦合。请注意, 该管脚必须满足输入共模电压范围及摆幅的要求。
H1	AINN_TRIGX	输入	触发器(Trigger) X 差分信号(负端), 用于 DDC 模块的频率跳变。它内接 50 欧姆电阻, 支持 DC 或者 AC 耦合。请注意, 该管脚必须满足输入共模电压范围及摆幅的要求。
K1	AINP_CK	输入	主时钟差分信号(正端), 该管脚给芯片提供主时钟. 芯片内部通过 50 欧姆电阻 AC 耦合, 但该管脚必须满足输入共模电压范围及摆幅的要求。
L1	AINN_CK	输入	主时钟差分信号(负端), 该管脚给芯片提供主时钟. 芯片内部通过 50 欧姆电阻 AC 耦合, 但该管脚必须满足输入共模电压范围及摆幅的要求。

表 6-1. 引脚功能 (续)

管脚序号	管脚名	类型	功能描述
E8	TDIODE_P	输入	温度二极管正（阳极）连接, 通过外置温度传感器来监视芯片结温. 该管脚没被使用时, 请悬空。
D8	TDIODE_N	输入	温度二极管正（负极）连接, 通过外置温度传感器来监视芯片结温. 该管脚没被使用时, 请悬空。
B3,B8,C3 , C8,M3,M8, N3,N8	BVNN08<0> BVNN08<1>	输入	它们连接到外部负 LDO 电源, 该电源必须满足规范中的负电位和漏电流要求。
C4-C7, D4, D7 E3, E4, E7, F3, F4, F7 G3, H3 H4, H7 J3, J4, J7, K3, K4, K7 L3, L7 M4-M7	AVDD18	输入	1.8V 模拟 I/O 电源
A1,A3,A4, A7,A8, B1,B2,B4 B5,B6,B7 C1,C2,D2 D3,D5,D6, E2,E5,E6 F1,F2,F5, F6,F8,G2 G5,G6,G8, H2,H5,H6, J1,J2,J5, J6,K2,K5, K6,L2,L3, L5,L6,M1, M2,N1,N2, N4,N5,N6, N7,P1,P3, P4,P7,P8	AGND	输入	模拟地
A9,B9,C9, D9,E9,F9 G9	DVDD09	输入	0.95V 数字内核电源
K10	DVDD18	输入	1.8V 数字 I/O 电源
A10,B10 C10,D10 E10,F10 G10,L10, N9	DGND	输入	数字地
H8	RESET_ANALOG	输入	一旦提供了主时钟, 该管脚对时钟产生器进行复位。高电平时复位, 正常工作时保持低电平
H9	RESET_LOGIC	输入	数字电路复位信号, 高电平时复位, 正常工作时保持低电平。 芯片上电时, 芯片内部的 POR 复位了所有的数字电路, 该复位信号可以忽略。
L8, K8	FD<0>, FD<1>	输出	快速检测管脚, FD<0> 对应 I-channel, FD<1> 对应 Q-channel
M11,K11 K9,J10 J11	GPIO<4:0>	输入	用于 DDC 的快速频率跳转。缺省配置时, 这些管脚可以悬空。

表 6-1. 引脚功能 (续)

管脚序号	管脚名	类型	功能描述
J9	TSKEW_BG	输入	该管脚可以发起后台时许偏差校准 (background timing skew calibration)
L9	SYNCB	输入	JESD204B 同步信号。低电平时, JESD204B 与接收器正进行握手, 握手完成时候, 该管脚转为高电平。
P10	CONVST	输入	主 SPI CONVST 信号, 0 将复位 SPI, 当 SPI 进行读写时, 保持为 1
N10	SCLK	输入	主 SPI 时钟信号
M9	SPI	输入	主 SPI 输入信号
M10	SDO	输出	主 SPI 输出信号
P9	POWERDOWN	输入	芯片断电管脚, 输入高电平将芯片断电, 正常工作室保持低电平
D11,J8,L11	NC	/	悬空, 不连接
C12, D12 E12, G12 H12, J12 K12, L12 M12	JVDD09	输入	0.95V JESD204B 内核供电
F12	JVDD18	输入	1.8V JESD204B 接口 I/O 供电
A14, B14 C11, E11 F11, G11 H11, N14 P14	JGND	输入	JESD204B 接口地
N11 P11	SERDOUT0_P SERDOUT0_N	输出	Lane 0 差分 SerDes 输出对, 内接 100 欧姆电阻
N12 P12	SERDOUT1_P SERDOUT1_N	输出	Lane 1 差分 SerDes 输出对, 内接 100 欧姆电阻
N13 P13	SERDOUT2_P SERDOUT2_N	输出	Lane 2 差分 SerDes 输出对, 内接 100 欧姆电阻
M13 M14	SERDOUT3_P SERDOUT3_N	输出	Lane 3 差分 SerDes 输出对, 内接 100 欧姆电阻
L13 L14	SERDOUT4_P SERDOUT4_N	输出	Lane 4 差分 SerDes 输出对, 内接 100 欧姆电阻
K13 K14	SERDOUT5_P SERDOUT5_N	输出	Lane 5 差分 SerDes 输出对, 内接 100 欧姆电阻
J13 J14	SERDOUT6_P SERDOUT6_N	输出	Lane 6 差分 SerDes 输出对, 内接 100 欧姆电阻
H13 H14	SERDOUT7_P SERDOUT7_N	输出	Lane 7 差分 SerDes 输出对, 内接 100 欧姆电阻
G13 G14	SERDOUT8_P SERDOUT8_N	输出	Lane 8 差分 SerDes 输出对, 内接 100 欧姆电阻
F13 F14	SERDOUT9_P SERDOUT9_N	输出	Lane 9 差分 SerDes 输出对, 内接 100 欧姆电阻
E13 E14	SERDOUT10_P SERDOUT10_N	输出	Lane 10 差分 SerDes 输出对, 内接 100 欧姆电阻
D13 D14	SERDOUT11_P SERDOUT11_N	输出	Lane 11 差分 SerDes 输出对, 内接 100 欧姆电阻
C13 C14	SERDOUT12_P SERDOUT12_N	输出	Lane 12 差分 SerDes 输出对, 内接 100 欧姆电阻
B13 A13	SERDOUT13_P SERDOUT13_N	输出	Lane 13 差分 SerDes 输出对, 内接 100 欧姆电阻
B12 A12	SERDOUT14_P SERDOUT14_N	输出	Lane 14 差分 SerDes 输出对, 内接 100 欧姆电阻
B11 A11	SERDOUT15_P SERDOUT15_N	输出	Lane 15 差分 SerDes 输出对, 内接 100 欧姆电阻

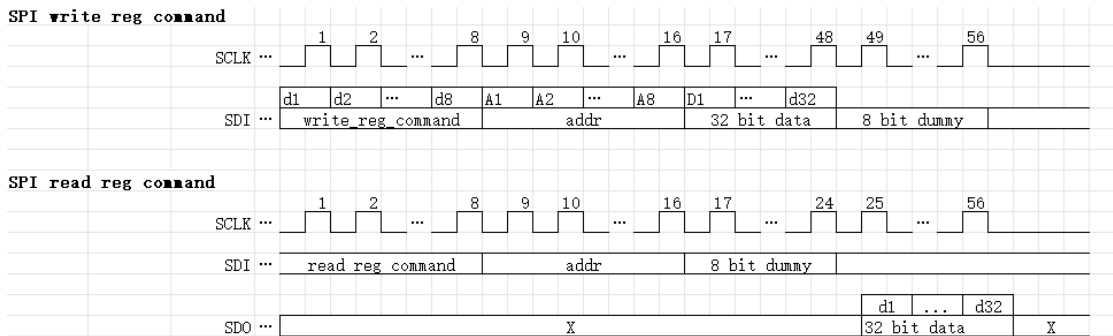
7 技术规格 (Specifications)

7.1 电气特性 (Electrical Characteristics)

型号 Part Number	CAE2200	CAE2400
分辨率 Resolution	12-bit	12-bit
采样率 Sample Rate	10Gsps or 5Gsps(2CH)	5Gsps or 2.5Gsps(2CH)
通道数 Channel	1 or 2	1 or 2
输入范围 Full-scale input voltage [Vpp,diff]	1.4V	1.4V
模拟输入带宽 Analog input bandwidth	6GHz	6GHz
测试讯号频率	1.51GHz	1.51GHz
积分非线性/微分非线性 INL/DNL(MAX)	$\pm 4/\pm 0.99$ LSB	$\pm 3.5/\pm 0.99$ LSB
信噪比 SNR@ 1.51GHz	51dBFS	51dBFS
二阶/三阶谐波失真 HD2/HD3	-75/-70dB	-75/-70dB
无杂散动态范围 SFDR	73dB	73dB
有效位 ENOB	8.15Bit (typ)	8.5Bit (typ)
功耗 Power (typ)	2.9W	2.1W
数字输出接口 Data Output Interface	JESD204B	JESD204B
封装 Package	FCBGA196 (12mm x 12mm)	FCBGA196 (12mm x 12mm)
工作温度 Temp Range	-40 to 105°C	-40 to 105°C

7.2 时间要求 (Timing Requirements)

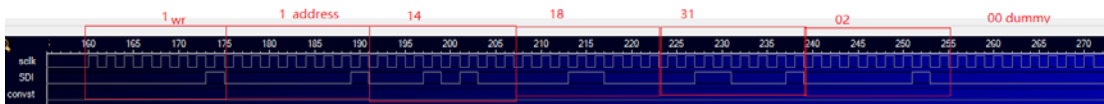
SPI 读写数据：接口波形如下图所示：



芯片复位后 SPI 读写寄存器，相关的信号 CONVST 默认为 1。

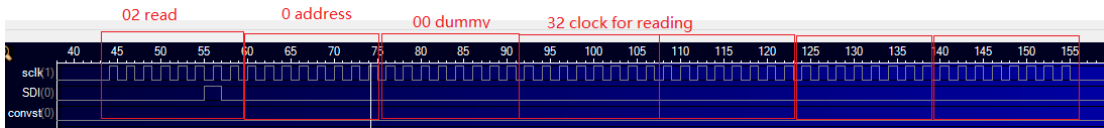
SPI 读写寄存器需要 56bits。8 位命令字 + 8 位为地址 + 40 位数据。8 位命令字的控制为 8h01 写寄存器，8h02 读寄存器。

以 SPI 写第一寄存器 32'h14183102 为例：spi_wr_reg(8'h01,32'h14183102) 测试 pattern 波形：



前面八个 sclk，对应 SDI 为 01，所以是 SPI 写。后面 8 个 SCLK，对应的是地址，数据为 01，表示写的是 01 寄存器。再接着的 32 个 SCLK，对应的数据是 14,18,31,02 表示写入 01 寄存器的数值为 32'h14183102。最后的 8 个 sclk，对应的 SDI 为 0，是无用的数据。（CONVST=1）

以 spi_rd_reg(8'h00,temp32b) 即读第 0 寄存器的结果为例，说明 SPI 读对应的波形：



前面八个 sclk，对应 SDI 为 02，所以是 SPI 读命令。后面 8 个 SCLK，对应的是地址，数据为 00，表示读的是 00 寄存器。再接着的 8 个 sclk，对应 SDI 数据为 0，为 8bits dummy，最后面的 32 个 SCLK，对应的 SDI 数据是 0，而此时对应的 SDO 的输出为读出结果。（CONVST =1）

测试激励信号是下降沿给 SDI 数据，芯片内部是上升沿抓数。芯片给出的 SDO 信号是 SCLK 上升沿给出，仪器下降沿去抓 SDO 结果。

对 JESD204B APB 寄存器的读写：

读写 APB 寄存器需要 56bits。8 位命令字 + 8 位地址 + 40 位数据。

8h81 写 APB 寄存器，8h82 读 APB 寄存器。

例：APB 写第四寄存器，数据为 80H，格式为 8'h81 + 8'h04H + 8'h80 + 32'h0dummy。



APB 读第四寄存器，8'h82 + 8'h04H + 8bits dummy + 8bits data + 24bits dummy。

波形如下图所示：



7.3 典型特性 (Typical Characteristics)

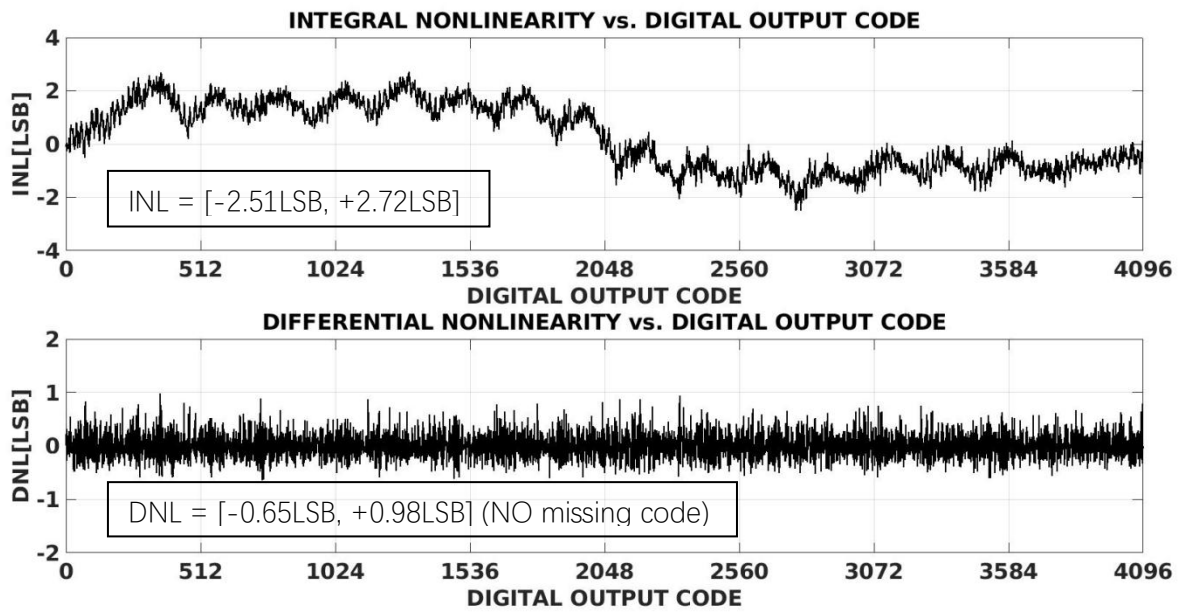


Figure 1. INL and DNL at $F_{in} = 175.1\text{MHz}$, 10GS/s

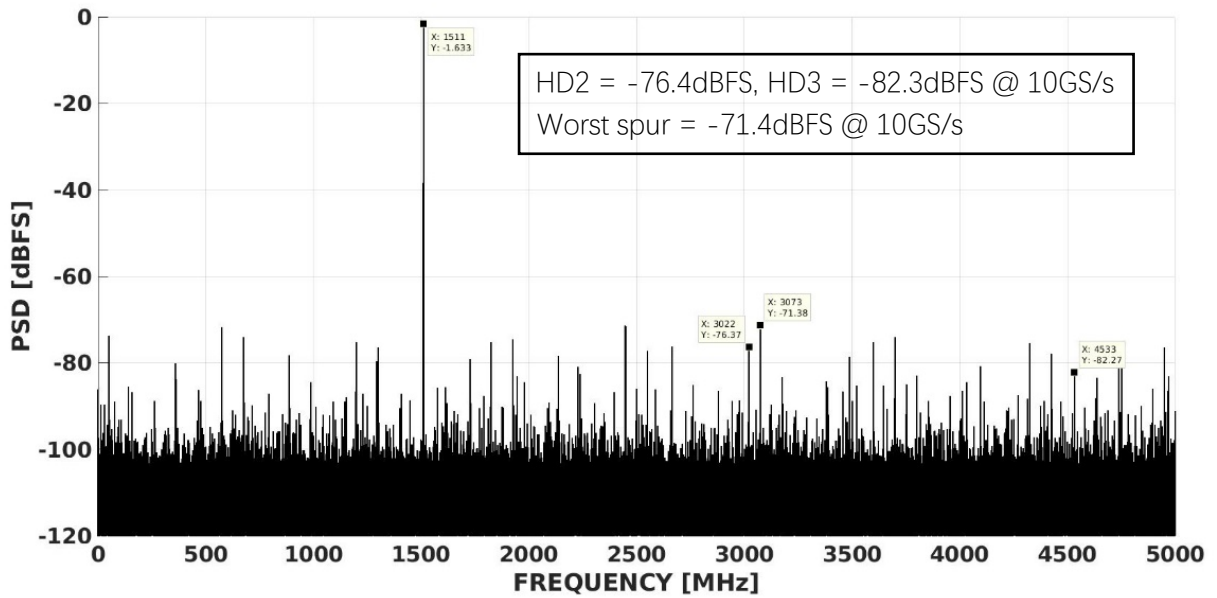


Figure 2. PSD at $F_{in} = 1.51\text{GHz}$, 10GS/s

8 详细说明 (Detailed Description)

8.1 概述 (Overview)

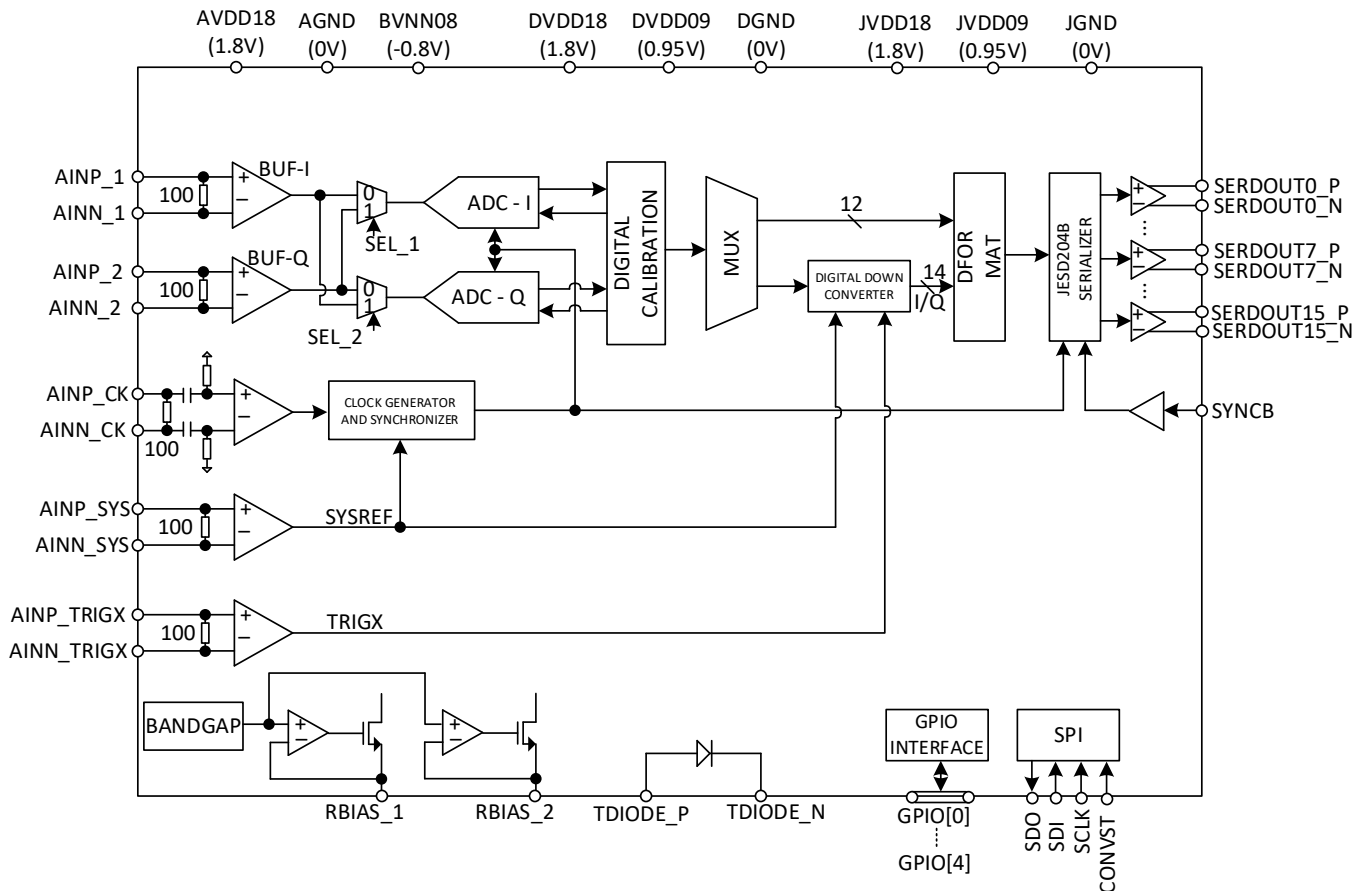
CAE2200 是一款 12 位，高速射频采样模数转换器 (ADC)，单通道模式下的最大采样率 10GSPS，双通道下的最大采样率为 5GSPS。

CAE2400 是一款 12 位，高速射频采样模数转换器 (ADC)，单通道模式下的最大采样率 5GSPS，双通道下的最大采样率为 2.5GSPS。

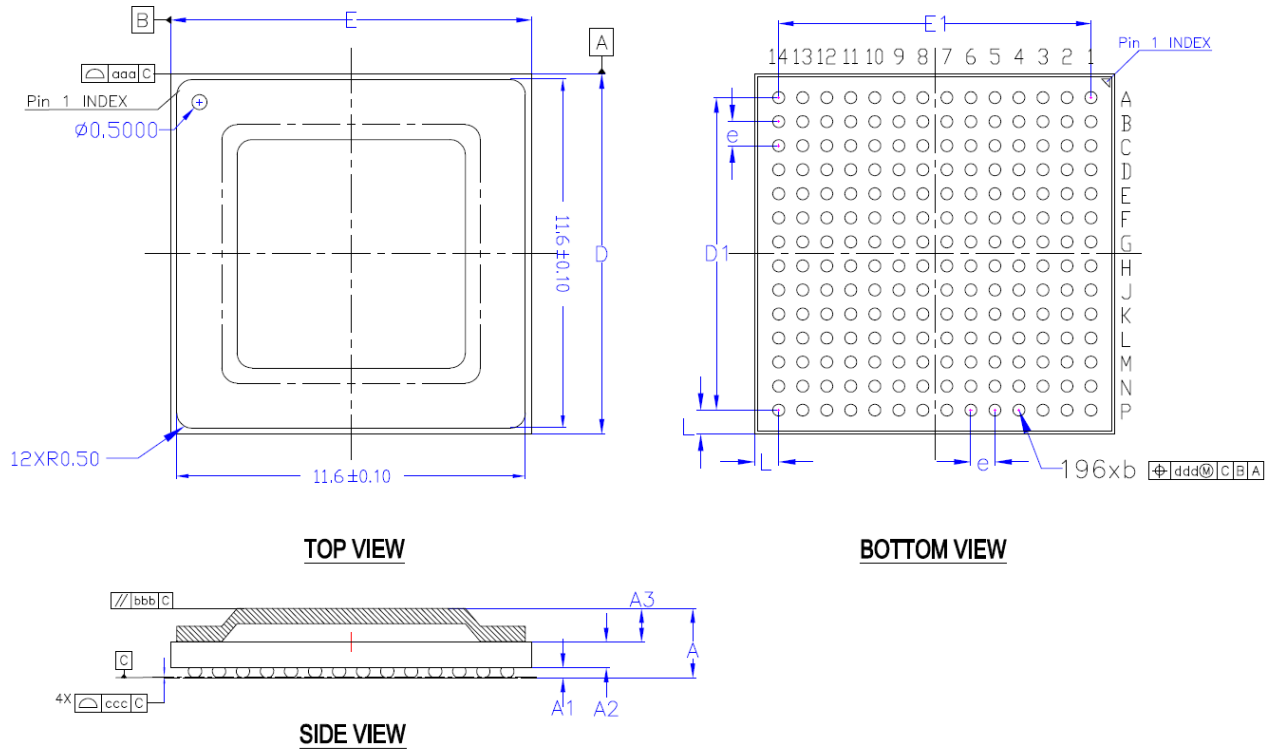
单通道或者双通道工作模式可在线编程配置，可用于开发灵活的硬件，以满足高通道数或宽瞬时信号带宽应用的需求。

CAE2200/CAE2400 采用高速 JESD204B 输出接口，工作温度支持 -40 to 105°C，使用 FCBGA196 (12mm x 12mm) 封装。

8.2 功能框图 (Functional Block Diagram)



9 封装尺寸 (Package Outline)



Dimensional Ref.

REF.	Min.	Nom.	Max.
A	2.13	2.32	2.51
A1	0.30	0.35	0.40
A2	0.76	0.85	0.94
A3	1.07	1.12	1.17
D	11.9	12.0	12.1
E	11.9	12.0	12.1
D1	10.4 BSC		
E1	10.4 BSC		
L	0.8 REF		
e	0.8 BSC		
b	0.40	0.45	0.50
Tol. of Form & Position			
aaa	0.10		
bbb	0.10		
ccc	0.20		
ddd	0.05		

Notes:

1. All Dimensions are in Millimeters (Angles in Degrees).
2. Dimensioning and Tolerancing per ANSI Y14.5M-1994.

10 订购指南 (Orderable Information)

型号	产品描述	温度范围	封装描述	封装选项
CAE2200	12 位 10Gsps 射频采样 ADC	-40°C 至 +105°C	196 球- 倒装球栅阵列封装	FCBGA-196
CAE2400	12 位 5Gsps 射频采样 ADC	-40°C 至 +105°C	196 球- 倒装球栅阵列封装	FCBGA-196

重要声明和免责声明

Caelus“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 Caelus 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 Caelus 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。Caelus 授权您仅可将这些资源用于研发本资源所述的 Caelus 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 Caelus 知识产权或任何第三方知识产权。

Caelus 提供的产品受 Caelus 的销售条款或 Caelus 产品随附的其他适用条款的约束。Caelus 提供这些资源并不会扩展或以其他方式更改 Caelus 针对 Caelus 产品发布的适用的担保或担保免责声明。

Copyright © 2024, 奇历士 (Caelus) 公司